

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-030330

(43)Date of publication of application : 09.02.1987

(51)Int.Cl.

H01L 21/302
H01L 21/205

(21)Application number : 60-168955

(71)Applicant : TOSHIBA CORP
TOKUDA SEISAKUSHO LTD

(22)Date of filing : 31.07.1985

(72)Inventor : OKANO HARUO
ARIKADO TSUNETOSHI
KANEKO HARUAKI

(54) DRY ETCHING METHOD

(57)Abstract:

PURPOSE: To readily perform a taper etching along a mask irrespective of the rough and dense state of a pattern by using C2F4 as accumulating gas to be added to etching gas.

CONSTITUTION: When C2F4 is used as accumulating gas, a deposition hardly occurs on the periphery of an SiO2 mask, a taper etching is performed along the mask, and the taper etching along the mask is achieved irrespective of the rough and dense state of a pattern. When the C2F4 is used as the accumulating gas, etching gas is not limited to Cl2, but the same result can be obtained even if silicon halogenide, carbon halogenide, phosphorus halogenide, or boron halogenide is used.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑪ 公開特許公報 (A) 昭62-30330

⑫ Int. Cl. 1
H 01 L 21/302
21/205
21/302

識別記号 庁内整理番号
L-8223-5F
7739-5F
F-8223-5F

⑬ 公開 昭和62年(1987)2月9日

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 ドライエッティング方法

⑮ 特 願 昭60-168955

⑯ 出 願 昭60(1985)7月31日

⑰ 発明者 岡野 晴雄 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑱ 発明者 有門 経敏 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑲ 発明者 金子 晴明 東京都江戸川区東小岩6の33の12の405
 ⑳ 出願人 株式会社東芝 川崎市幸区堀川町72番地
 ㉑ 出願人 株式会社徳田製作所 座間市相模が丘6丁目25番22号
 ㉒ 代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

ドライエッティング方法

2. 特許請求の範囲

①) 処理室内にハロゲン原子を含有するエッティング用ガスと薄膜を堆積するための堆積用ガスとの混合ガスを導入すると共に、上記処理室内に対向配置された電極間に高周波電力を印加し、これらの電極間に放電を生起して該電極間に配置される被処理基体を選択エッティングするドライエッティング方法において、前記堆積用ガスとしてテトラフロロエチレン (C₂F₄) を用いたことを特徴とするドライエッティング方法。

②) 前記エッティング用ガスとして、C₂F₂、SF₆、ハロゲン化硅素、ハロゲン化炭素、ハロゲン化炭素及びハロゲン化硅素の少なくとも1種を用いたことを特徴とする特許請求の範囲第1項記載のドライエッティング方法。

③) 前記被処理基体として、表面にSiO₂マスクが形成されたSi基板を用いたことを特徴とす

る特許請求の範囲第1項記載のドライエッティング方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、ドライエッティング方法に係わり、特にテーパエッティングを行うためのドライエッティング方法に関する。

(発明の技術的背景とその問題点)

近年、高集成デバイスを実現するための方法として、湿式酸化法に代り、Si基板の素子分離領域に溝を掘り、この溝を酸化シリコン膜で差込んで素子分離を行うデバイス構造が採用されている。また、素子分離領域では、その下部にチャネルが形成されるのを防止するために、ボロン等をイオン注入する必要がある。上記のような埋込み型素子分離領域にボロンをイオン注入するためには、素子分離用溝の形成に隣し、Si基板をテーパエッティングしなければならない。

Si基板をテーパエッティングする方法として最近、ハロゲン原子を含有するエッティング用ガス

(活性ガス)に、炭化水素のように放電により重合し堆積物を形成する堆積用ガスを混加した混合ガスを用いるドライエッチング方法が提案されている。この方法では、エッチングマスクの側壁に堆積用ガスによる堆積膜を形成しながら、基板をエッチングすることにより、テーパエッチングすることができる。

しかしながら、本発明者等がこの方法を実際に行ったところ、密なパターン形状と粗なパターン形状とで加工形状が異なると云う問題が生じることが判明した。以下、この問題を、第5図(a) (b)を参照して説明する。なお、この例ではエッチング用ガスとして C_2F_2 、堆積用炭化水素ガスとして CH_4 を用いた。

被処理基板51はP型(100)Si基板で、エッチングマスク52は950[μ]膜式酸化法で形成した SiO_2 膜である。まず、マスク領域とエッチング領域との面積が相等しいパターンでは、第5図(a)に示す如く、マスク端部からテーパが形成される。なお、図中53は堆積膜であ

イオンは両側に SiO_2 マスクが存在するため、チャージアップによるイオンの曲げられる角度は互いに相殺されて小さくなる。これに対し、第5図(b)の場合は、周りに SiO_2 マスクが存在しないので、イオンの曲げられる角度は大きくなり、 SiO_2 マスクの周辺にエッチングされない部分が生じる。

そして、第5図(b)に示す如くマスクの側部にエッチングされない領域が残ることは、デバイスを作成した場合に各種の不整合を生じることになる。また、上記の問題はガスを C_2F_2 と CH_3F_2 との混合ガスに代えても同様に生じていた。(発明の目的)

本発明は上記事情を考慮してなされたもので、その目的とするところは、パターンの粗密に拘束なく、マスクに沿ったテーパエッチングを行うことができ、デバイスの特性向上等に寄与し得るドライエッチング方法を提供することにある。

(発明の概要)

本発明の要旨は、エッチング用ガスに混加する

る。これに対し、 SiO_2 マスクに比べてエッチング能であるSiの面積が非常に大きい場合、第5図(b)に示す如く、マスク周辺に0.2~0.3[μm]幅でエッチングされない領域54が生じる。

ここで、エッチングされない領域の生じる理由は明らかでないが、一種のローティング効果と絶縁物である SiO_2 マスクのチャージアップとが原因として考えられる。即ち、第5図(a)の場合には、同図(b)に比べてSiの露出面積が少ないので C_2F_2 の消費が少なく、 CH_4 は C_2F_2 との反応や SiO_2 マスクの O_2 と反応して消費され、デポジションの量は少なくなる。逆に、第5図(b)では、 C_2F_2 の消費が多くなり、 SiO_2 マスクの O_2 も少なくなるため、 C_2F_2 や O_2 との反応で消費される CH_4 の量は少くなり、従ってデポジションの量は多くなる。これが、所謂ローティング効果である。

また、マスクのチャージアップがあると、第5図(b)の場合には、Si面に垂直に入射してきた

堆積用ガスとして、 C_2F_4 を用いることにある。

本発明者等は、エッチング用ガスとして C_2F_2 、前記堆積用ガスとして種々のものを用い、RIEによるテーパエッチングの実験を行った。その結果、堆積用ガスとして C_2F_4 を用いた場合、 SiO_2 マスクの周辺にはデポジションが起り難く、マスクに沿ってテーパエッチングができることを見出した。さらに、パターンの粗密に拘束なく、マスクに沿ったテーパエッチングが達成されることも判明した。

なお、 C_2F_4 を用いた場合に、 CH_4 や CH_3F_2 を用いた場合の問題(パターンの粗密によりエッチング形状が異なる)がなくなる理由は未だ判明していないが、堆積用ガスとして C_2F_4 を用いた場合のみに上記問題が解消されるのが本発明者等の実験により確認されている。また、堆積用ガスとして C_2F_4 を用いた場合、エッチング用ガスとしては C_2F_2 に限らず、 F_2 、 SF_6 、ハロゲン化硅素、ハロゲン化炭素、ハロゲン化硝、ハロゲン化酸素等であっても、上記と

同様の結果が得られた。

本発明はこのような点に着目し、処理室内にハロゲン原子を含有するエッティング用ガスと銀膜を堆積するための堆積用ガスとの混合ガスを導入すると共に、上記処理室内に対向配置された電極間に高周波電力を印加し、これらの電極間に放電を生起して該電極間に配置される被処理基体を選択エッティングするドライエッティング方法において、前記堆積用ガスとして $C_2 F_4$ を用いるようにした方法である。

(発明の効果)

本発明によれば、パターンの粗密に拘りなく、マスクに沿ったテーパエッティングを行うことができる。このため、高周波の電子分離用膜形成等に優めて有効であり、デバイス特性の向上に寄与する等の利点がある。

(発明の実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の一実施例方法に使用したド

ライエッティング装置の構成図である。図中11は真空処理室であり、この処理室11内には平行平板電極12、13が設置されている。下部電極13は接地され、上部電極12にはマッチング回路14を介して高周波電源15が接続されている。そして、被処理基体16は上部電極12の下面に配置されるものとなっている。

また、処理室11内にはガス導入孔17から所定のガスが導入され、処理室11内のガスはガス導気口18から導気される。ここで、処理室11内に導入するガスとしては、エッティング用ガスとしての $C_2 F_4$ と堆積用ガスとしての $C_2 F_4$ との混合ガスが用いられるものとなっている。

この装置を用いて、第2図に示す如く Si 基板21上に SiO_2 マスク22を形成した試料をエッティングしたところ、堆積膜23を形成しながらのエッティングが行われ、Si 基板21にテーパ状の溝が形成された。そしてこの場合、マスク面積がその周辺の Si 面積より十分に小さくても、マスク周辺にエッティングされない領域が残ることも

なく、マスクに沿った良好なテーパ形状を得ることができた。

次に、本発明の一実施例方法をMOSトランジスタの製造に適用した例について説明する。

第3図(a)～(e)はMOSトランジスタ製造工程を示す断面図である。まず、第3図(a)に示す如く比抵抗5～50 [Ωcm] のP型Si基板31を2枚用意し、それぞれの基板31の表面に950 [℃] 湿式酸化により厚さ8000 [Å] の SiO_2 膜32を形成する。次いで、全面にレジスト膜を塗布した後、周知のフォトリソグラフィ工程により、レジストパターン33を形成する。

次いで、 CHF_3 / O_2 混合ガスを用いたRIEにより、レジストパターン33をマスクとして、 SiO_2 膜32を選択エッティングする。次いで、酸素プラズマ灰化処理により、第3図(b)に示す如くレジストパターン33を露呈したのち、銀膜蒸着中に基板11を複数回してプラズマ灰化中に生成した露化膜を除去する。

次いで、 SiO_2 膜32をマスクとして、Si

基板11のエッティング加工(電子分離用膜の形成)を行うが、ここで2枚のSi基板11のうち1枚は従来方法と同様に $C_2 F_4 / CH_4$ 混合ガスを用い、他は本発明に係わる $C_2 F_4 / C_2 F_4$ 混合ガスを用いる。エッティング条件は、 $C_2 F_4$ の流量20 [sccm]、 CH_4 或いは $C_2 F_4$ の流量4 [sccm]、エッティング圧力20 [Pa]、高周波電力800 [W]とした。この条件下では、 $C_2 F_4 / CH_4$ 混合ガスを用いた場合、前記第5図(b)に示したように SiO_2 マスク周辺にエッティングされない領域が生じた。これに対し、 $C_2 F_4 / C_2 F_4$ 混合ガスを用いた場合、マスク周辺にエッティングされない領域が生じる等の不都合もなく、第3図(c)に示す如くマスク(SiO_2 膜32)に沿ったテーパ形状を持つ電子分離用膜34が形成された。

上記のエッティング後、再び酸素プラズマ灰化処理してエッティング中に堆積したデポ膜を除去する。次いで、電子分離領域下部にN型化防止のため、ボロンBを加速電圧50 [keV]、ドーズ量

1043 [mPa] でイオン注入する。続いて、これらの試料を銀團雰囲中に浸漬して、 SiO_2 膜32を除去した後、 O_2 雰囲気中950 [°C] で酸化を行う。その後、テトラエトキシシランをソースガスとして、CVD法により SiO_2 膜35を厚さ0.8 [μm] 増殖する。そして、 SiO_2 膜35上にレジストを塗布し、その裏面を平坦化する。次いで、 Cl_2/O_2 混合ガスプラズマを使用し、レジストとCVD-SiO₂膜35との各エッティング速度が略等しくなる条件下でエッティングを行い、第3図(d)に示す如くSi基板11の側面内にのみ SiO_2 膜35を残置させる。

次いで、超音波酸溶液に基板11を浸漬して残置した塗化膜を除去する。続いて、第3図(e)に示す如く、1000 [°C] の O_2 雰囲気下でゲート酸化膜36を形成した後、多結晶Si膜を堆積しこれをパターニングしてゲート電極37を形成する。さらに、Asをセルフアラインでイオン注入し、ソース・ドレイン領域38a, 38bを

ガスとしての Cl_2 に添加する堆積用ガスとして C_2F_4 を用いることにより、パターンの粗密に拘りなく、マスクの周辺にエッティングされない領域を残すことなく、マスクに沿った良好なテーパエッティングを行うことができる。このため、電子形成領域の端部にフィールドイオン注入による反応層が生じる等の不都合を未然に防止することができ、デバイス特性の向上をはかり得る。また、エッティング装置としては従来装置をそのまま用いることができ、堆積用ガスとして C_2F_4 を用いるのみで簡単に実施し得る等の利点がある。

なお、本発明は上述した実施例方法に限定されるものではない。例えば、前記エッティング用ガスは Cl_2 に限るものではなく、ハロゲン原子を含有するものであればよく、 F_2 , SF_6 , ハロゲン化塩素、ハロゲン化炭素、ハロゲン化物或いはハロゲン化銀等を用いることができる。さらに、これらの混合ガスを用いることも可能である。また、堆積用ガスとしての C_2F_4 の添加量は、所望するテーパ角等の条件に応じて適宜定めればよ

形成し、950 [°C] での熱処理により活性化を行う。その後、CVD-SiO₂膜39の形成、コンタクトホールの形成及びAl-Si合金からなる配線40, 41, 42を形成することによって、NチャネルMOSトランジスタが完成することになる。

このようにして作成したMOSトランジスタを、ドレイン電圧6 [V]、ゲート電圧3 [V]、ソースと基板接地の条件下でストレスを印加し、しきい値電圧の変化量を測定した。第4図にチャネル長0.8 [μm] のトランジスタを用いてストレス時間10⁴ [sec] まで測定した結果を示す。 $\text{Cl}_2/\text{C}_2\text{F}_4$ 混合ガスを用いたサンプルに比較し、 Cl_2/CH_4 混合ガスを用いたサンプルでは、しきい値電圧の変化量が大きいことが判る。この原因は、フィールドイオン注入時にパターン周辺のエッティングされない領域にもボロンがイオン注入され、この部分に電界集中を因くためであると考えられる。

かくして本実施例方法によれば、エッティング用

い。但し、テーパエッティングを達成するためには、1 [%] 以上程度の添加量は必要である。さらに、エッティング時のガス流量、ガス圧力、及び高周波電力等の条件も、仕様に応じて適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

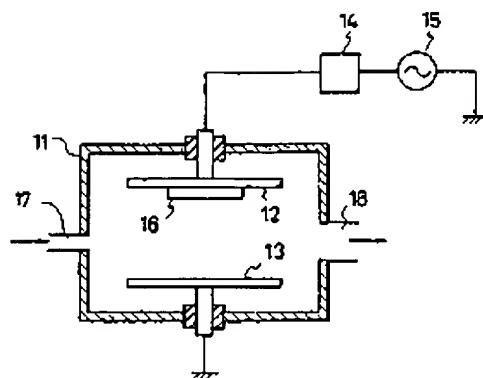
4. 図面の簡単な説明

第1図は本発明の一実施例方法に使用したドライエッティング装置を示す概略構成図、第2図は上記装置を用いたエッティング作用を説明するための断面図、第3図(a)～(e)は本発明の一実施例方法に係わるMOSトランジスタ製造工程を示す断面図、第4図はストレス時間に対するしきい値電圧の変化を示す特性図、第5図(a) (b)は従来方法の問題点を説明するための断面図である。

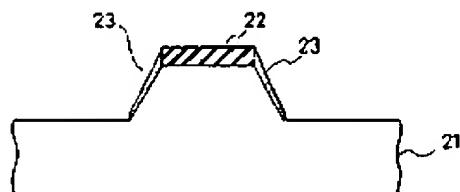
11…真空処理室、12, 13…平行平板電極、15…高周波電源、16, 21, 31…Si基板(被処理基体)、17…ガス導入孔、18…ガス排気口、22, 32… SiO_2 膜(エッティングマ

スク)、23…堆積膜、34…粒子分離用溝、35、39…CVD-SiO₂膜、36…ゲート酸化膜、37…ゲート電極、40、41、42…配線。

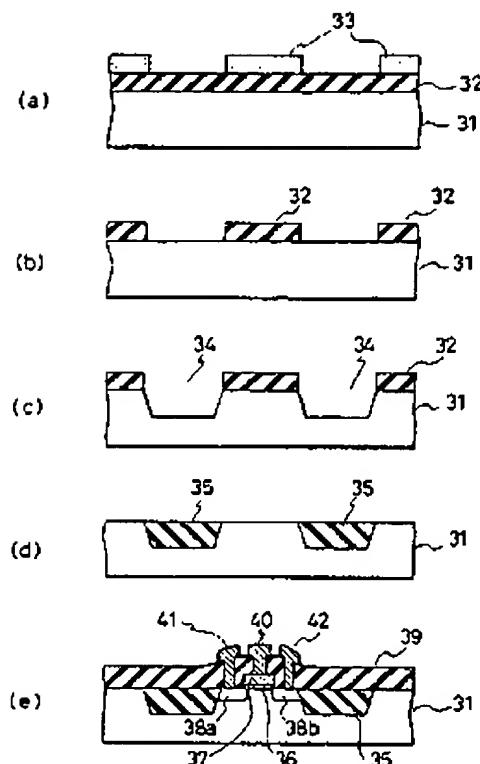
出願人代理人 井理士 鈴江武志



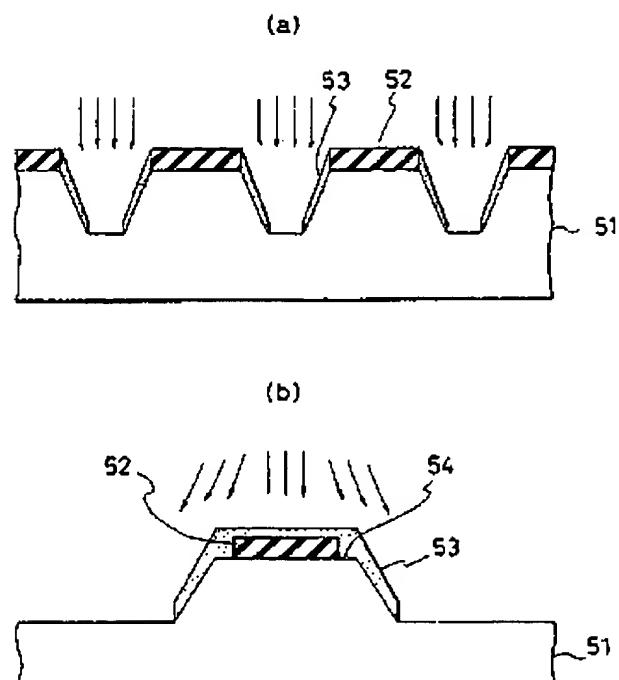
第1図



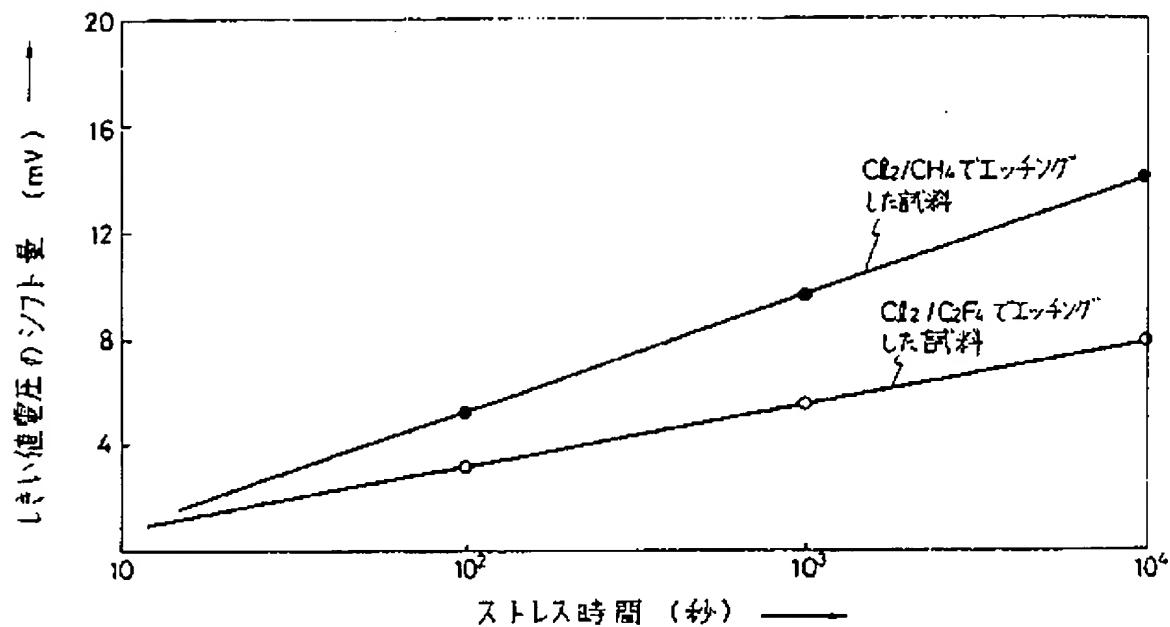
第2図



第3図



第5図



第 4 図